

G-NAVP™ 架构电路的设计方法与布局注意事项

摘要

在设计程序中，元件值的设计和 PCB 布局对电源的性能有很大的影响。若能注意 PCB 布局上的细节，对于实现低开关损耗、干净无噪声及稳定的操作是非常有利的。适当的选择元件可以使所设计的电源较容易通过英特尔 (Intel) 及 AMD 的规格。此应用须知将介绍 G-NAVP™ 控制架构电路的设计方法，包括：导通时间设定、开关频率设定、负载线设定和 DCR 电流检测网络设定。最后，将对 PCB 的布局规则提出建议，以期降低噪声干扰，使控制器更为可靠。

目录

1. 设计方法与元件选择	2
1.1. 导通时间与开关频率的初始设定	2
1.2. DCR 电流检测网络之设计	3
1.3. 负载线设计	5
2. 布局注意事项	5
2.1. 功率级布局原则	5
2.2. IC 检测垫和 RGND 布局原则	5
3. 实验结果与结论	6
3.1. 实验结果	6
3.2. 结论	8
4. 参考数据	8

1. 设计方法与元件选择

以下的设计方法是以 RT8884B 为例子，并满足英特尔的 VR12.5 规格。在应用 RT8884B 时，有三个主要的设计程序：第一步是导通时间和开关频率的初始设定，第二步是 DCR 电流检测网络的设计，而最后一步则是完成负载线的设计。

CPU 操作条件	
输入电压	12V
相位数	3
VBOOT	1.7V
V _{DAC(MAX)}	1.85V
I _{CCMAX}	106A
I _{CC-DY}	60A
I _{CC-TDC}	55A
负载线	1.5mΩ
快速电压回转率	12.5mΩ/μs
最大开关频率	300kHz

请参阅 Shark Bay VRTB 电力输送指南，其中所建议的输出滤波器如下所示：

输出电感：360nH / 0.72mΩ

输出大型电容：560μF / 2.5V / 5mΩ (max)，4 至 5 个

输出陶瓷电容：22μF / 0805 (在上层最多可放 18 个)

1.1. 导通时间与开关频率的初始设定

一般说来，较高的开关频率可产生较快的瞬态响应和较小的稳态输出纹波，并且可使用较小尺寸的功率元件和印刷电路板的面积。然而，较高的开关频率通常导致较低的转换效率，较差的噪声抑制能力及有过热的问题；因此，最大开关频率的合理范围是受到以上综合因素的限制。最大开关频率一旦决定了之后，用开关频率和占空比之间的关系即可算出最大导通时间。

$$T_{ON(MAX)} = \frac{1}{f_{SW(MAX)}} \cdot \frac{V_{DAC(MAX)}}{V_{IN(MAX)}} \quad (1)$$

其中，V_{DAC(MAX)} 是参考电压，f_{SW(MAX)} 是最大开关频率，而 V_{IN(MAX)} 是最大输入电压。下面所显示是以设计 RT8884B 为例。

$$T_{ON(MAX)} = \frac{1}{300k} \cdot \frac{1.85}{12} = 514 \text{ (ns)}$$

因为 RT8884B 采用恒定导通时间控制，CCRCOT（固恒流纹波之 COT）此项专利技术是利用输入电压和 VID 码来产生适应性的导通时间，及恒定的电流纹波；如此可在不同的输入和输出电压范围内，将输出电压纹波控制到几乎是恒定的。在输入电压端子和 TONSET 接脚之间接上的电阻 R_{TON}，可用来设定导通时间。

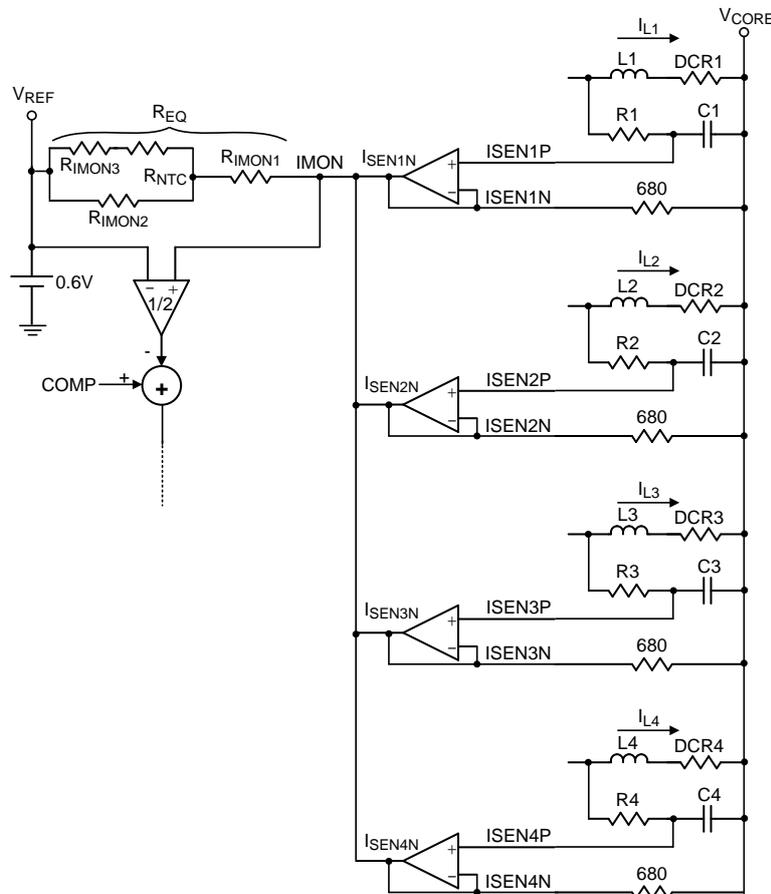
$$T_{ON} = \frac{R_{TON} \cdot C \cdot 2.2}{V_{IN} - V_{DAC}} \quad (V_{DAC} < 2.2V)$$

$$T_{ON} = \frac{R_{TON} \cdot C \cdot V_{DAC}}{V_{IN} - V_{DAC}} \quad (V_{DAC} \geq 2.2V)$$
(2)

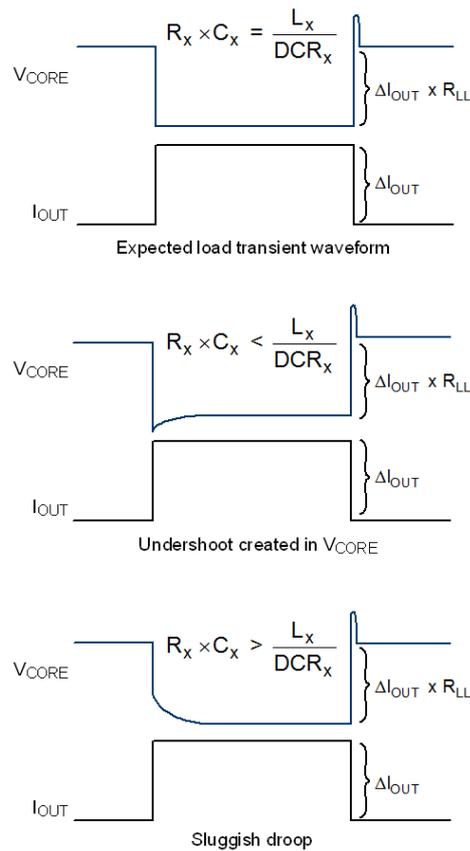
其中 C = 18.2pF，V_{IN} 是最大输入电压，V_{DAC} 是参考电压，而 T_{ON} 是方程式 (1) 所决定的导通时间。下面所计算的也是以 RT8884B 为例。

$$514n = \frac{R_{TON} \cdot 18.2p \cdot 2.2}{12 - 1.85} \Rightarrow R_{TON} = 130k\Omega$$

1.2. DCR 电流检测网络之设计



图一、RT8884B 完整电流回路示意图。



图二、对应不同 T_{Cx} 和 T_{Lx} 时间常数关系的输出波形。

图一显示应用 **RT8884B** 时，完整的电流回路图。在 **ACL** 性能和 **DCL** 精确度上，**DCR** 电流检测的电路设计扮演非常重要的角色。对于不同 **RC** 时间常数的设计，**ACL** 输出电压的瞬态变化可分成以下三种情况。图二即显示了对应三种不同 T_{Cx} 和 T_{Lx} 时间常数关系的输出波形。

- 若 T_{Cx} 等于 T_{Lx} ，预期的负载瞬态波形是可设计的。
- 若 T_{Cx} 小于 T_{Lx} ，输出电压会突然下降，下冲规格的裕量会减少。
- 若 T_{Cx} 大于 T_{Lx} ，在负载增加时，输出电压会缓慢地下降。

$$T_{Cx} = R_x \cdot C_x$$

$$T_{Lx} = \frac{L_x}{DCR_x} \quad (3)$$

其中， DCR_x 是电感的等效电阻、 L_x 是电感值，而 R_x 和 C_x 是 **DCR** 电流检测网络中的元件值。

通常会将时间常数 T_{Cx} 设计为等于或稍大于时间常数 T_{Lx} ，以防止过冲和下冲，如此电路便有更多的裕量可通过设计的规格。特别要注意的是， C_x 值可能会因为偏压，温度或频率...等因素变小，所以在设计 **DCR** 电流检测网络时，需要将 C_x 值变小的效应考虑进来。

由于电感器的铜线具有正温度系数，**DCR** 值会随负载电流的增加而线性增加。因此，为了达到更好的 **DCL** 性能，必须使用由 **NTC** 热敏电阻 (R_{EQ}) 构成的热补偿电路，以补偿电感 **DCR** 的正温度系数。详细的热补偿电路设计，可以参考特定产品的设计工具。

1.3. 负载线设计

在 G-NAVP™ 架构中，负载线的设计和电流回路增益与电压回路增益之比有关。详细的负载线方程式均可在对应的 IC 规格书中找到。以下以 RT8884B 为例。

$$R_{LL} = \frac{A_I}{A_V} = \frac{\frac{1}{2} \cdot \frac{DCR}{R_{CS}} \cdot R_{EQ}}{\frac{R_2}{R_1}} \quad (m\Omega) \quad (4)$$

其中，DCR (25°C) = 0.72mΩ，R_{CS} = 680Ω 是电流检测电阻，R_{EQ} (25°C) 是用于热补偿设计的电阻值，而 R₂/R₁ 是补偿器的 A_V 增益。藉由此方程式，可以透过调整补偿器的 A_V 增益而很容易地改变负载线。按照英特尔的 VR12.5 的要求，负载线须是 1.5 (mΩ)，所以就可以算出了 A_V 增益 R₂ / R₁。以下以 RT8884B 作为范例，并且选 R₁ = 10kΩ。

$$\frac{R_2}{10k} = \frac{\frac{1}{2} \cdot \frac{DCR}{R_{CS}} \cdot R_{EQ}}{R_{LL}} = \frac{\frac{1}{2} \cdot \frac{0.72m}{680} \cdot 16.8k}{1.5m} \Rightarrow R_2 = 59.2k$$

2. 布局注意事项

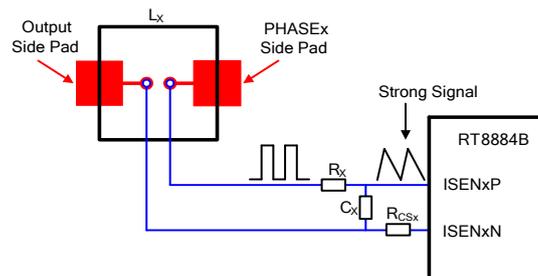
若能注意印刷电路板上布局的细节，对于能有低开关损耗、干净无噪声及稳定的操作是非常重要的。开关功率级则特别需要留意。如果可能的话，应将所有功率元件放在电路板的上方，并且使接地端子相互靠近。参考以下布局原则，有助于能有最佳性能的 PCB 布局：

2.1. 功率级布局原则

- 尽量保持大电流的路径短愈短愈好，特别是接地端子的。
- 尽可能保持电源走线和负载之间的联机都很短；这对达到高效率是非常重要的。
- 若必须在电感的充电路径和放电路径之间作取舍，较好的选择是让电感的充电路径比放电路径长。

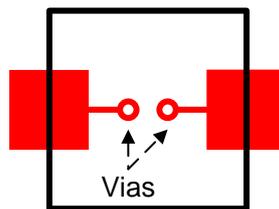
2.2. IC 检测垫和 RGND 布局原则

- 尽量将电流检测元件 (C_x, R_{CSx}, R_x) 放置靠近控制器的位置，以避免电流检测信号被噪声干扰。



图三、电流检测元件的放置。

- 作为电流限制和电压定位的 ISENxP 和 ISENxN，其联机方式必须采用凯文 (Kelvin) 检测连接法，以确保电流检测的精确度。电感的走线是直接从电感的接触垫开始，而不是从电感的连接平面。



图四、电流检测走线中的电感接触垫。

- 从电感检测节点出来的 PCB 走线都应平行地回控制器。通常，这些走线都走电感下方的 PCB 底层。如果这些走线是走在内层，则必须在电流检测走线之上有一个接地平面，以作为和上层之间的屏蔽。
- 尽量将高速开关节点 (PWM, UG, LG, 相位, 等...) 远离较敏感的模拟区域 (COMP, FB, ISENxP, ISENxN, 等...)。
- 用户需要透过低阻抗路径将散热焊盘连接到接地平面。建议至少使用 5 个通孔 (via) 连接到 PCB 内层的接地平面。

3. 实验结果与结论

3.1. 实验结果

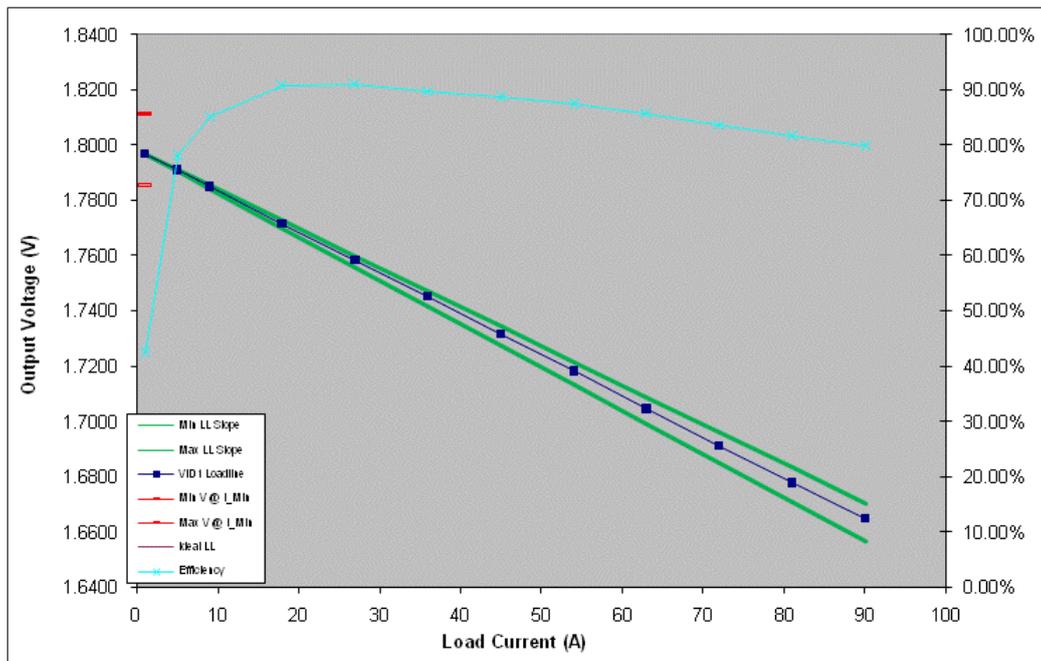
图五显示了 RT8884B EVB 样品，这是用在 VR12.5 之应用中，并支援 4/3/2/1 相。量测的负载线曲线和效率均显示在图六。从所测量的结果可知，G-NAVP™ 架构可提供准确的负载线，并仍然维持较高的效率。图七显示瞬态的大抽载变化和小抽载变化之波形，由图可看出快速和稳定的瞬态性能并良好的 AVP 控制。



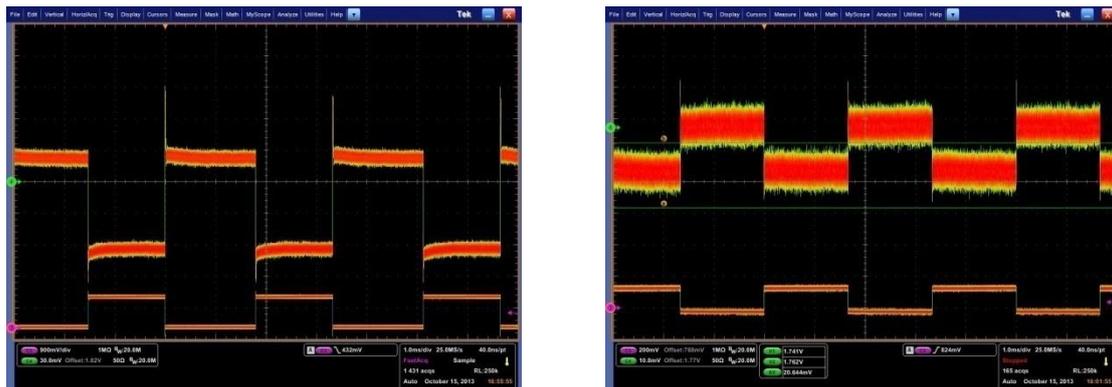
图五、RT8884B 的 EVB 样本。

表一、EVB 测试条件

V _{IN}	12V
V _{OUT}	1.8V @ PS0
Phase Number	4
LS	360nH/0.72mΩ
CO	OSCON : 470μF/4.5mΩ*4 MLCC : 22μF*19



图六、量测 RT8884B 的负载线和效率。



(CH3 : 抽载电流 (900mV / Div) ; CH4 : 输出电压 (30mV / Div))

(a) 大抽载变化 (1A-61A) ACLK @ 300Hz (b) 小负载变化(50A-60A) ACLK @ 300Hz

图七、RT8884B ACLK 之测量结果。

3.2. 结论

系统的元件设计通常需要在许多的限制之间作出取舍，以获得在效率和性能中最大的效益。此外，有一些特殊的布局技巧可减少寄生元件的影响，以避免高速开关噪声耦合的效应。本应用须知介绍了 G-NAVP™ 控制架构一般的设计方法和 PCB 布局的规则。按照以上所介绍的方式，使用者即可很容易地使用立锜的控制 IC。

4. 参考数据

- [1] 立锜科技, RT8884B 规格书.
- [2] Intel 文件, “Shark Bay Ultrabook™ Platform Power Delivery”
- [3] Intel 文件, “Shark Bay Mobile Platform Power Delivery”
- [4] Intel 文件, “Shark Bay Desktop and Denlow-WS”

相关资源

[立锜科技电子报](#)
[订阅立锜科技电子报](#)

Richtek Technology Corporation

14F, No. 8, Tai Yuen 1st Street, Chupei City

Hsinchu, Taiwan, R.O.C.

Tel: 886-3-5526789

Richtek products are sold by description only. Richtek reserves the right to change the circuitry and/or specifications without notice at any time. Customers should obtain the latest relevant information and data sheets before placing orders and should verify that such information is current and complete. Richtek cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Richtek product. Information furnished by Richtek is believed to be accurate and reliable. However, no responsibility is assumed by Richtek or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Richtek or its subsidiaries.